

Docket No.: 70456-028

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of	:	Customer Number: 20277
	:	
Masayuki KOYAMA	:	Confirmation Number:
	:	
Serial No.:	:	Group Art Unit:
	:	
Filed: April 12, 2004	:	Examiner: Unknown
	:	
For: DIRECT MEMORY ACCESS CONTROLLER ENABLING CYCLE STEALING AMONG CHANNELS		

**CLAIM OF PRIORITY AND
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Mail Stop CPD
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

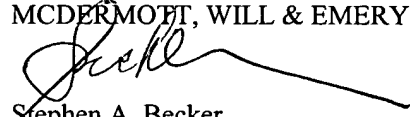
In accordance with the provisions of 35 U.S.C. 119, Applicant hereby claims the priority of:

Japanese Patent Application No. 2003-401301, filed December 1, 2003

cited in the Declaration of the present application. A certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY


Stephen A. Becker
Registration No. 26,527

600 13th Street, N.W.
Washington, DC 20005-3096
(202) 756-8000 SAB:tlb
Facsimile: (202) 756-8087
Date: April 12, 2004

70456-028
KOYAMA
April 12, 2004

日 本 国 特 許 庁
JAPAN PATENT OFFICE

McDermott, Will & Emery

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application: 2 0 0 3 年 1 2 月 1 日

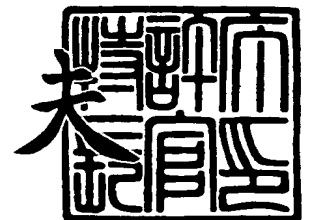
出 願 番 号
Application Number: 特 願 2 0 0 3 - 4 0 1 3 0 1
[ST. 10/C]: [J P 2 0 0 3 - 4 0 1 3 0 1]

出 願 人
Applicant(s): 株式会社ルネサステクノロジ

2 0 0 4 年 1 月 2 7 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



出証番号 出証特 2 0 0 4 - 3 0 0 3 3 1 4

【書類名】 特許願
【整理番号】 543471JP01
【提出日】 平成15年12月 1日
【あて先】 特許庁長官殿
【国際特許分類】 G06F 13/28
G06F 13/362

【発明者】
【住所又は居所】 東京都千代田区丸の内二丁目 4 番 1 号 株式会社ルネサステクノ
ロジ内
【氏名】 小山 雅行

【特許出願人】
【識別番号】 503121103
【氏名又は名称】 株式会社ルネサステクノロジ

【代理人】
【識別番号】 100064746
【弁理士】
【氏名又は名称】 深見 久郎

【選任した代理人】
【識別番号】 100085132
【弁理士】
【氏名又は名称】 森田 俊雄

【選任した代理人】
【識別番号】 100083703
【弁理士】
【氏名又は名称】 仲村 義平

【選任した代理人】
【識別番号】 100096781
【弁理士】
【氏名又は名称】 堀井 豊

【選任した代理人】
【識別番号】 100098316
【弁理士】
【氏名又は名称】 野田 久登

【選任した代理人】
【識別番号】 100109162
【弁理士】
【氏名又は名称】 酒井 將行

【手数料の表示】
【予納台帳番号】 008693
【納付金額】 21,000円

【提出物件の目録】
【物件名】 特許請求の範囲 1
【物件名】 明細書 1
【物件名】 図面 1
【物件名】 要約書 1

【書類名】 特許請求の範囲**【請求項 1】**

現転送用のレジスタ群に設定された値に応じてダイレクトメモリアクセス転送を制御する複数のダイレクトメモリアクセス転送部と、

バスマスタからバス権を獲得中に、前記複数のダイレクトメモリアクセス転送部からの転送要求に応じて、チャンネル間で所定回数の転送毎にバス使用权が移るように、所定順序で前記複数のダイレクトメモリアクセス転送部にバスの使用を許可する制御部とを含むダイレクトメモリアクセスコントローラ。

【請求項 2】

前記ダイレクトメモリアクセスコントローラはさらに、次転送用のレジスタ群を含み、前記ダイレクトメモリアクセス転送部は、前記次転送用のレジスタ群に設定された値を前記現転送用のレジスタ群に転送して、ダイレクトメモリアクセス転送を制御する、請求項 1 記載のダイレクトメモリアクセスコントローラ。

【請求項 3】

前記次転送用のレジスタ群には、外部メモリに格納されたダイレクトメモリアクセス制御情報が順次転送されて格納される、請求項 2 記載のダイレクトメモリアクセスコントローラ。

【請求項 4】

前記外部メモリから前記次転送用のレジスタ群へのダイレクトメモリアクセス制御情報の転送は、前記次転送用のレジスタ群に格納される値が前記複数のダイレクトメモリアクセス転送部のいずれに転送された後、前記複数のダイレクトメモリアクセス転送部に対するバスの使用权が切替わる前に行なわれる、請求項 3 記載のダイレクトメモリアクセスコントローラ。

【請求項 5】

前記制御部は、ラウンドロビン方式で前記複数のダイレクトメモリアクセス転送部によるバス使用の順序を決定する、請求項 1～4 のいずれかに記載のダイレクトメモリアクセスコントローラ。

【請求項 6】

前記制御部は、過去の各チャンネルのダイレクトメモリアクセス転送回数に応じて、前記複数のダイレクトメモリアクセス転送部によるバス使用の順序を決定する、請求項 1～4 のいずれかに記載のダイレクトメモリアクセスコントローラ。

【請求項 7】

前記制御部は、1 回の連続したバス権の獲得中における各チャンネルの転送回数が設定され、該転送回数に応じて前記複数のダイレクトメモリアクセス転送部にバスの使用を許可する、請求項 1～4 のいずれかに記載のダイレクトメモリアクセスコントローラ。

【請求項 8】

前記制御部は、チャンネルが 3 つ以上ある場合におけるチャンネルのバス使用順序が設定され、該バス使用順序に応じて前記複数のダイレクトメモリアクセス転送部にバスの使用を許可する、請求項 1～4 のいずれかに記載のダイレクトメモリアクセスコントローラ。

【書類名】明細書**【発明の名称】**ダイレクトメモリアクセスコントローラ**【技術分野】****【0001】**

本発明は、複数チャネルを有するDMA (Direct Memory Access) コントローラに関し、特に、チャネル間におけるサイクルスチールを可能にしたDMAコントローラに関する。

【背景技術】**【0002】**

近年、CPU (Central Processing Unit) などを搭載したシステムの処理速度の高速化に対する要望がますます高まってきている。このような要望に応じた機能の1つとして、I/O (Input/Output) デバイスとメモリとの間などで直接データの入出力を行なうDMA機能を挙げることができる。一般に、DMAコントローラは、複数チャネルのDMA転送が行なえるように設計されていることが多い。これに関連する技術として、特開2000-207352号公報および特開平9-259071号公報に開示された発明がある。

【0003】

特開2000-207352号公報に開示されたメモリアクセス競合制御方法においては、何れかのDMACによりバスが取得された上、共有メモリとの間で現にDMA転送処理が行なわれている状態であっても、そのDMACよりも優先度が高い他のDMACよりバス要求信号があった場合には、現に行なわれているDMA転送処理を強制的に中断させた上、その他のDMACにバスを取得させるようにしたものである。

【0004】

特開平9-259071号公報に開示された通信制御装置においては、第1のDMAコントローラチャネルがバスマスタとして動作中に、第1のDMAコントローラチャネルよりも優先順位の高い第2のDMAコントローラチャネルのバス権要求に対して、第1のDMAコントローラチャネルが直ちにバス権を放棄する。そして、放棄直前の第1のDMAコントローラチャネル動作状態を記憶、保持し、第1のDMAコントローラチャネルにバス権が復帰した時、動作状態からDMA転送を継続して再開する。

【特許文献1】特開2000-207352号公報**【特許文献2】**特開平9-259071号公報**【発明の開示】****【発明が解決しようとする課題】****【0005】**

従来のDMAコントローラにおいては、DMACのある特定チャネルがDMA転送を開始すると、CPUアクセスがその間に入り込むことができるものの、他のDMACチャネルのDMA転送がその間に入る込むことができなかった。

【0006】

また、上述した特開2000-207352号公報および特開平9-259071号公報に開示された発明においては、DMACのあるチャネルがDMA転送を行なっている途中で、優先順位が高いDMAチャネルのバス権要求がある場合に、その優先順位の高いDMAチャネルにバスの使用权を渡すものである。しかし、その優先順位が高いDMAチャネルのDMA転送が終了するまで、他のDMAチャネルはDMA転送を待たなければならない。

【0007】

本発明は、上記問題点を解決するためになされたものであり、その目的は、特定のDMACチャネルがバス権を独占することを防止したDMACを提供することである。

【課題を解決するための手段】**【0008】**

本発明のある局面に従えば、ダイレクトメモリアクセスコントローラは、現転送用のレ

ジスタ群に設定された値に応じてダイレクトメモリアクセス転送を制御する複数のダイレクトメモリアクセス転送部と、バスマスタからバス権を獲得中に、複数のダイレクトメモリアクセス転送部からの転送要求に応じて、チャンネル間で所定回数の転送毎にバス使用権が移るように、所定順序で複数のダイレクトメモリアクセス転送部にバスの使用を許可する制御部とを含む。

【発明の効果】

【0009】

本発明のある局面によれば、制御部が、バスマスタからバス権を獲得中に、複数のダイレクトメモリアクセス転送部からの転送要求に応じて、チャンネル間で所定回数の転送毎にバス使用権が移るように、所定順序で複数のダイレクトメモリアクセス転送部にバスの使用を許可するので、特定のチャンネルがバス権を独占するのを防止することが可能となった。

【発明を実施するための最良の形態】

【0010】

図1は、本発明の実施の形態におけるDMACのバス権獲得状態の遷移を示す図である。図1に示すように、DMAC1～DMAC3のいずれかがDMA転送を行なっている場合、CPUとの間でバス権獲得が遷移することが可能であり、またDMAC1～DMAC3の間でもバス権獲得が遷移することが可能である。

【0011】

図2は、本発明の実施の形態におけるDMACが用いられるシステムの一例を示す図である。このシステムは、DMAC1と、CPU2と、ブートコントローラ3と、UART(Universal Asynchronous Receiver-Transmitter)4と、内蔵メモリ5と、外部メモリ70に対するデータの入出力の制御を行なう外部IF6と、アービタ7と、デコーダ8と、マルチプレクサ(MUX)9aおよび9bとを含む。

【0012】

DMAC1、CPU2などは、バスマスタとなるマスタデバイスである。また、ブートコントローラ3、UART4、内蔵メモリ5および外部メモリ70は、マスタデバイスによりアクセス可能なスレーブデバイスである。特に、DMAC1は、スレーブデバイスにもなる。

【0013】

DMAC1のマスタWは、後述するAHBマスタIF側の出力信号HWDATAout, HADDRout, HWRITEout, HSIZEout, HTRANSout, HBURSTout, HPROTout, HLOCKを含む信号群を指す。DMAC1のマスタRは、後述するAHBマスタIF側の入力信号HRDATAin, HRESPin, HREADYinを含む信号群を指す。

【0014】

DMAC1のスレーブWは、後述するAHBスレーブIF側の入力信号HWDATAin, HADDRin, HWRITEin, HSIZEin, HTRANSinを含む信号群を指す。DMAC1のスレーブRは、後述するAHBスレーブIF側の出力信号HRDATAout, HRESPout, HREADYoutを含んだ信号群を指す。

【0015】

CPU2は、内蔵メモリ5、外部メモリ70などに格納されたプログラムを実行して、システム制御のための演算を行なう。

【0016】

デコーダ8は、マスタデバイスから出力されるアドレス(MUX9bからの出力の中のアドレス)を受け、どのデバイスに対するアクセスかを検出し、その検出されたアクセス対象のデバイスにHSEL信号を出力する。DMAC1は、HSEL信号をこのデコーダ8から受ける。

【0017】

MUX9aは、デコーダ8によって選択制御され、ブートコントローラ3、UART4

、内蔵メモリ5、外部メモリ70、DMAC1の複数スレーブデバイスからのそれぞれ出力信号群を受け、その1つの出力信号群を選択して出力する。

【0018】

アービタ7は、DMAC1、CPU2等の複数のマスタデバイスからそれぞれバス要求(HBUSREQ)信号を受け、どのマスタデバイスにバス権を与えるかを調停し、バス権獲得を許可するデバイスにHGRANT信号を与える。したがって、DMAC1は、HBUSREQ信号をアービタ7に与え、HGRANT信号をアービタ7から受ける。

【0019】

MUX9bは、DMAC1およびCPU2の複数のマスタデバイスのそれぞれから出力信号群を受け、その1つの信号群を選択して出力する。複数のデバイスからMUX9aおよび9bの入力側への信号伝搬は、それぞれ複数のデバイスに対応する別個のそれぞれ複数のバスによって行なわれる。また、MUX9aおよび9bの出力側から複数のデバイスへの信号伝搬は、共通のバスで行なわれる。

【0020】

内蔵メモリ5は、SRAM(Static Random Access Memory)などによって構成される。また、外部メモリ70は、SDRAM(Synchronous Dynamic Random Access Memory)などによって構成され、外部IF6を介してマスタデバイスからアクセスされる。

【0021】

ブートコントローラ3は、CPU2がブートする際の制御を行なうが、特にDMAC1に対しては後述するBT_DMAREQ_P信号とBT_RAMSEL信号とを与え、ブートする際に必要なプログラムのロードを行なうようにDMAC1を制御する。

【0022】

UART4は、シリアルポートに接続され、パラレルデータをシリアルデータに変換、またはシリアルデータをパラレルデータに変換する。

【0023】

図3は、本発明の実施の形態におけるDMACの概略構成を示すブロック図である。このDMAC1は、次転送用のレジスタ群10と、チャンネル数分のDMA転送部20-1~20-nと、ブートDMA転送要求検出部30とを含む。なお、図3に示す各信号(IC_DMARQ_P信号、BT_DMARQ_P信号、BT_RAMSEL信号を除く)の意味は、文献「AMBATM Specification (REV2.0)」に記述されている。この文献は、Advanced RISC Machines (ARM)社からリリースされ、「http://WWW.arm.com/Tech_Specs?OpenDocument」のウェブサイトから入手可能である。

【0024】

次転送用のレジスタ群10は、次転送用の転送元アドレスレジスタ(DMASAR)11と、次転送用のリロードソースアドレスレジスタ(DMARSA)12と、次転送用のDMAセッティングレジスタ(DMASET)13と、次転送用の転送先アドレスレジスタ(DMADAR)14と、次転送用のDMA転送レジスタ(DMATRCNT)15と、次転送用のDMA完了レジスタ(DMAINT)16と、DMAコントロールレジスタ(DMACNT)17と、次転送用のDMA要因レジスタ(DMAFCT)18と、チャンネル指定レジスタ(DMACHA)19とを含む。

【0025】

DMA転送部20-1~20-nのそれぞれは、現転送用の転送元アドレスレジスタ(DMACSAR)21と、現転送用のDMAセッティングレジスタ(DMACSET)22と、現転送用の転送先アドレスレジスタ(DMACDAR)23と、現転送用のDMA転送レジスタ(DMACTRCNT)24と、現転送用のDMA完了レジスタ(DMACINT)25と、現転送用のDMA要因レジスタ(DMACFCT)26と、DMA転送リクエスト検出部27と、DMA転送制御部28とを含む。

【0026】

レジスタ群11~18、21~26は、次転送用のレジスタ群11~18と、現転送用

のレジスタ群 21～26 との 2 重構造を有しており、現転送用レジスタ群 21～26 に設定されている DMA 転送が完了したときに、次転送用のレジスタ群 11～18 に設定されている値が現転送用のレジスタ群 21～26 に設定されて、次の DMA 転送が行なわれる。

【0027】

CPU2 は、DMAC1 の AHB スレーブ IF を用いて、HWDATAin 信号の内容をレジスタ 11～18 に書込み、レジスタ 11～18 の内容を HRDATAout 信号として読出す。

【0028】

次転送用の転送元アドレスレジスタ 11 は、次転送用の DMA 転送元アドレスを格納する。このレジスタは、読出し／書込みが可能である。

【0029】

次転送用のリロードソースアドレスレジスタ 12 は、次転送用の DMA リロードソースアドレスを格納する。このレジスタは、読出し／書込みが可能である。

【0030】

次転送用の DMA セットアップレジスタ 13 は、DMA 転送方法を設定するためのレジスタであり、読出し／書込みが可能である。この DMA セットアップレジスタ 13 は、転送元アドレスが固定およびインクリメントのいずれであるかを指定する 1 ビットと、転送先アドレスが固定およびインクリメントのいずれであるかを指定する 1 ビットと、DMA 転送サイズ（バイト転送、ハーフワード転送、ワード転送）を指定する 2 ビットと、バスアクセス割合を指定する 4 ビットとを含む。

【0031】

次転送用の転送先アドレスレジスタ 14 は、次転送用の DMA 転送先アドレスを格納する。このレジスタは、読出し／書込みが可能である。

【0032】

次転送用の DMA 転送レジスタ 15 は、次転送用の DMA 転送の転送回数を格納する。このレジスタは、読出し／書込みが可能である。

【0033】

次転送用の DMA 完了レジスタ 16 は、次転送用の DMA 転送の完了回数を格納する。このレジスタは、読出し／書込みが可能である。

【0034】

なお、次転送用の DMA 転送レジスタ 15 に設定される転送回数は、n バイト単位でのデータ転送を N 回行なう場合の n および N を指定するものである。また、次転送用の DMA 完了レジスタ 16 に設定される完了回数は、次転送用の DMA 転送レジスタ 15 に設定された転送を何セット行なうかを指定するものである。

【0035】

DMA コントロールレジスタ 17 は、DMA 転送の制御のためのレジスタであり、全てのビットに対して、読出し／書込みが可能である。DMA 割込みをマスクするか否かを指定する 1 ビットと、DMA イネーブルを自動的にクリアするか否かを指定する 1 ビットと、リロード DMA 転送を可能にするか否かを指定する 1 ビットと、リロード中であるか否かを示す 1 ビットと、DMA 転送中であるか否かを示す 1 ビットと、DMA リクエストを受付けるか否かを指定する 1 ビットと、DMA 転送のロックを可能にするか否かを指定する 1 ビットとを含む。

【0036】

次転送用の DMA 要因レジスタ 18 は、DMA チャンネル毎に DMA 転送の要因を設定するためのレジスタであり、DMA 転送要求を出力するデバイスの種類や、DMA 転送要求信号がレベルトリガであるか、エッジトリガであるか等の情報が設定される。このレジスタは、読出し／書込みが可能である。

【0037】

チャンネル指定レジスタ 19 は、次転送用レジスタ 11～18 の内容がどのチャンネルに対

応するDMA転送部に転送されるかを特定する情報を格納する。したがって、レジスタ11～18の内容は、チャンネル指定レジスタ19の内容により指定されるチャンネルに対応するDMA転送部へ転送される。このチャンネル指定レジスタ19によって、指定できるチャンネルを複数個指定することが可能である。

【0038】

現転送用の転送元アドレスレジスタ21は、次転送用の転送元アドレスレジスタ11に設定されている転送元アドレスまたはリロードソースアドレスレジスタ12に設定されているリロードソースアドレスが設定される。なお、レジスタ21～26は、CPU2から読出しも書き込みもできず、内部のDMA制御部20の制御によってレジスタ11～18の内容がレジスタ21～26に書込まれ、レジスタ21～26の内容がDMA転送制御部28に読出される。

【0039】

現転送用のDMAセッティングレジスタ22は、次転送用のDMAセッティングレジスタ13に設定されている値が設定される。

【0040】

現転送用の転送先アドレスレジスタ23は、次転送用の転送先アドレスレジスタ14に設定されている転送先アドレスが設定される。このレジスタは、読出し専用である。

【0041】

現転送用のDMA転送レジスタ24は、次転送用のDMA転送レジスタ15に設定されている値が設定される。このレジスタは、読出し専用である。

【0042】

現転送用のDMA完了レジスタ25は、次転送用のDMA完了レジスタ16に設定されている値が設定される。このレジスタは、読出し専用である。

【0043】

現転送用のDMA要因レジスタ26は、次転送用のDMA要因レジスタ18に設定されている値が設定される。このレジスタは、読出し専用である。

【0044】

DMA転送リクエスト検出部27は、外部からのDMA転送要求信号IC_DMRQ_P[31:0]を受け、現転送用のDMA要因レジスタ26に設定されている値に応じてDMA転送制御部28にDMA転送要求を出力する。

【0045】

ブートDMA転送要求検出部30は、ブートコントローラ3からのDMA転送要求信号BT_DMAREQ_Pを受け、ブートリクエストを検出する。このブートリクエストに対してチャンネル#1のみが動作する構成となっており、次転送用のレジスタ群11～18にブートリクエストに対応したデータが設定され、チャンネル指定レジスタ19にはチャンネル#1を指定する情報が設定される。

【0046】

DMA転送制御部28は、現転送用のレジスタ群21～26、DMA転送リクエスト検出部27によって検出されたDMA転送要求などに応じてDMA転送を制御する。なお、図3の左側に記載されている信号群は、AHB(Advanced High-performance Bus)のスレーブ側I/F(Interface)の信号群を示しており、図3の右側に記載されている信号群は、AHBのマスタ側I/Fの信号群を示している。これらの信号群は、AHBの規格に準拠している。

【0047】

図4は、本発明の実施の形態におけるDMACのレジスタ群の2重構造を説明するためのブロック図である。SRAMに格納されるDMACの制御情報が順次次転送用のレジスタ群10に転送されて、それぞれのレジスタ11～18に書込まれる。この制御情報の転送は、次転送用のレジスタ群10の情報が現転送用のレジスタ群21～26に転送された後、DMACのチャンネル間におけるバス権の切替わり前に行なわれればよい。SRAM5からデータを読出すのに時間を要するが、そのようなプロトコルを用いることによって、

DMA転送が高速に行なえるようになる。

【0048】

DMA転送部20-1~20-nのそれぞれは、マルチプレクサ(MUX)32~36、41~46を含む。リロードを行なう場合(ref_flg="0")に、マルチプレクサ33は、次転送用のリロードソースアドレスレジスタ12に設定されたリロードソースアドレスを選択し、マルチプレクサ32、34、35および36は、リロード固定値を選択する。また、リロードを行なわない場合(ref_flg="1")には、マルチプレクサ32~36は、次転送用のDMAセッティングレジスタ13、次転送用の転送元アドレスレジスタ11、次転送用の転送先アドレスレジスタ14、次転送用のDMA転送レジスタ15およびDMA完了レジスタ16の値を選択して出力する。

【0049】

マルチプレクサ41~46は、現DMA転送が継続している場合には(eop="0")、現転送用のDMA要因レジスタ26、現転送用のDMAセッティングレジスタ22、現転送用の転送元アドレスレジスタ21、現転送用の転送先アドレスレジスタ23、現転送用のDMA転送レジスタ24および現転送用のDMA完了レジスタ25の値を選択する。すなわち、現転送用のレジスタ群21~26は、値をそのまま保持する。また、マルチプレクサ42~46は、現DMA転送が完了した場合(eop="1")には、マルチプレクサ32~36から出力される値を選択する。このとき、マルチプレクサ41は、次転送用のDMA要因レジスタ18から出力される値を選択する。

【0050】

なお、eop信号は、対応のDMA転送制御部28において生成され、対応のチャンネルによるDMA転送が完了したことを示す。

【0051】

レジスタ11~19への値の設定は、CPU2が内蔵メモリ5へアクセスすることにより、内蔵メモリ5からのデータ転送によりAHBスレーブIFを介して設定される。また、ブートリクエストが生じたときには、予め決めておいた固定値がレジスタ11~19に設定される。

【0052】

図5は、各DMAチャンネルのサイクルスチールを制御するための回路構成を示す図である。以下、DMA転送部20-1~20-n内のDMA転送制御部28をそれぞれDMA転送制御部#1~#nと呼ぶ。

【0053】

ここで、サイクルスチールとは、複数のDMAチャンネルの少なくとも2つからDMA転送要求があった場合に、その少なくとも2つのDMAチャンネル各々は自身に設定された固有の転送回数のトランザクションを行なう毎に、CPUなどの他のバスマスタを介することなく、他のDMAチャンネルにバス使用权を明け渡すことをいう。

【0054】

固有の転送回数は、1回に限られるものではなく、複数回のトランザクション毎にバス使用权を変更するようにしてもよい。また、チャンネル間で固有の転送回数を同じにする必要はなく、チャンネル毎に異なる転送回数を設定することも可能である。たとえば、DMAC1は2回のトランザクションで他のDMACにバス使用权を明け渡し、DMAC2は1回のトランザクションで他のDMCAにバス使用权を明け渡すようにしてもよい。

【0055】

DMA転送制御部#1~#nの各々(以下、代表して#kとする。)は、#kHWDATAout信号、#kHADDRout信号、#kHWRITOut信号、#kHSIZEout信号、#kHTRANSout信号、#kHBURSTout信号、#kHPROTOut信号、#kHLOCK信号、#kHBUSREQ信号を出力信号として出力し、#kHRDATAin信号、#kHRESPin信号、#kHREADYin信号、#kHGRANT信号を入力信号として入力する。

【0056】

サイクルスチール制御回路60は、アービタ7からのHGRANT信号がアクティブになると、#kHBUSREQ信号がアクティブとなっているDMAチャンネルの#kHGRANT信号のうち、いずれか1つをアクティブにしてDMA転送を許可する。バーストモードでDMA転送を行なう場合には、1つのチャンネルがバス権を独占しないように、所定回のDMA転送が行なわれると、他のDMAチャンネルにバス権を与えるように制御する。このチャンネルのバス権獲得順序は、たとえば、ラウンドロビン方式が用いられる。

【0057】

ラウンドロビンとは、DMA転送要求を出している複数のDMAチャンネルに対して巡回的に一定のDMAサイクルを与えていく方式であり、たとえば一定のDMAサイクルを終了したDMAチャンネルが待ち行列の末尾につながれる。そして、待ち行列の先頭で待機しているDMAチャンネルに対してDMA転送が許可される。これを繰り返すことによって、DMA転送要求を出している複数のDMAチャンネルに対して公平にDMAサイクルが与えられる。

【0058】

また、サイクルスチール制御回路60は、過去の各チャンネルのDMA転送要求の回数をカウントし、DMA転送要求の回数が多いチャンネルに対して優先的にバス権を与えるようにしてもよい。

【0059】

OR回路63は、#1HBUSREQ～#nHBUSREQ信号の論理和を演算し、HBUSREQ信号としてアービタ7へ出力する。したがって、チャンネル#1～#nの中の1つでもDMA転送要求を出力すれば、アービタ7へDMA転送要求が出力されることになる。

【0060】

マルチプレクサ(MUX-A)61は、#1HWDATAout～#nHWDATAout信号のいずれか1つを選択してHWDATAout信号として出力する。各DMA転送制御部#1～#nの他の出力信号である#kHADDRout信号、#kHWRITEout信号、#kHSIZEout信号、#kHTRANSout信号、#kHBURSTout信号、#kHPROTout信号、#kHLOCK信号に対しても、それぞれ対応するマルチプレクサ(MUX-A)が設けられ、それぞれHADDRout信号、HWRITEout信号、HSIZEout信号、HTRANSout信号、HBURSTout信号、HPROTout信号、HLOCK信号として出力する。

【0061】

マルチプレクサ(MUX-B)62は、DMA転送制御部#1～#nのいずれか1つを選択し、HRDATAin信号を#1HRDATAin～#nHRDATAin信号のいずれか1つとして選択したDMA転送制御部へ出力する。各DMA転送制御部#1～#nの他の入力信号であるHRESPin信号、HREADYin信号に対してもそれぞれ対応してマルチプレクサ(MUX-B)が設けられ、それぞれ#1HRESPin～#nHRESPin信号の1つ、および#1HREADYin～#nHREADYin信号の1つとして出力する。

【0062】

マルチプレクサ61および62(図示しないものも含む)の各々の選択制御は、サイクルスチール制御回路60の出力である#1HGRANT～#nHGRANT信号からなるnビットの信号により行なわれる。その1つである#kHGRANTがアサートされたときに、全てのマルチプレクサ61および62はDMA転送制御部#kに対応した信号を選択する。

【0063】

図6は、本発明の実施の形態におけるDMACのバス権獲得を説明するためのタイミングチャートである。なお、図6に示す各信号は、AHBマスタI/Fにおける信号を示している。また、バーストサイクル数が1となっている。また、DMACのバス占有率が2/3程度となっており、DMAC1およびDMA2に対応したそれぞれ1回のDMA転送

が終了すると、一旦他のマスタにバス権が開放されるものとする。なお、DMACのバス占有率は、メモリのアクセス速度により、すなわちウェイトサイクルが入るか否かによって変動する。

【0064】

サイクルT1において、HGRANT信号がアクティブ（ハイレベル）となり、DMAC1にバス権が与えられる。サイクルT2において、HADDRout [31:0] に、DMAC1に対応した読出しアドレスが出力されると共に、DMAC2にバス権が与えられる。

【0065】

サイクルT3において、DMAC1にバス権が与えられる。このサイクルで、HADDRout [31:0] に、DMAC2に対応した書込みアドレスが出力される。また、HRDATAin [31:0] を介してDMAC1に対応したデータが読出される。なお、このサイクルにおけるDMAC2のデータ書込みは、1つ前のDMAC2の読出しサイクル（図示せず）で読出されたデータを書込むものである。

【0066】

サイクルT4において、HADDRout [31:0] に、DMAC1に対応した書込みアドレスが出力される。このサイクルで、HWDATAout [31:0] を介してDMAC2に対応したデータが書込まれる。このサイクルで、HBUSREQ信号が非アクティブ（ロウレベル）となり、一旦他のマスタにバス権が開放される。この他のマスタは、図2のCPU2に相当する。

【0067】

サイクルT5において、HADDRout [31:0] に、DMAC2に対応した読出しアドレスが出力される。また、HRDATAout [31:0] を介してDMAC1に対応したデータが書込まれる。

【0068】

サイクルT6において、HWDATAin [31:0] を介してDMAC2に対応したデータが読出される。なお、サイクル1からこのサイクルまで、HREADYin信号がハイレベルとなる。このHREADYin信号によって、DMACはウェイトサイクルが挿入されていないことを認識する。

【0069】

サイクルT7において、HBUSREQ信号にハイレベルが出力され、再度バス権の獲得要求を出す。サイクルT8において、HGRANT信号がハイレベルとなってバス権を獲得すると、DMAC1がDMA転送を開始する。なお、以降のサイクルはHREADYin信号がロウレベルになって、ウェイトサイクルが挿入される以外は、サイクルT1～T6と同様である。

【0070】

なお、サイクルT9において、HBUSREQ信号にロウレベルが出力されてバス権を一旦放棄しているが、これはバス占有率を一定に保つためである。

【0071】

以上説明したDMAコントローラにおいては、DMAチャネルのそれぞれに設定される固有の転送回数を固定としたが、可変とするようにしてもよい。たとえば、固有の転送回数を可変に設定できるレジスタを図5のサイクリスチール制御回路60内に設け、そのレジスタに設定された回数のトランザクションを行なう毎に他のDMAチャネルにバス使用权を明け渡すようにしてもよい。図2に示すCPU2が、AHBスレーブIFを用いてこのレジスタに値を設定する。

【0072】

また、サイクリスチール制御回路60内に、過去の各チャネルのDMA転送要求の回数をカウントし、要求回数の多いチャネルにはより多くの固有の転送回数をレジスタに設定できるような制御回路を設けるようにしてもよい。たとえば、最初は各DMAチャネルに対して均等に「1回」を設定し、その後、あるDMAチャネルが他のDMAチャネルに比

べてN回多くDMAアクセス要求があったときに、そのDMAチャンネルへの設定を「2回」に変更し、2N回多くDMAアクセス要求があったときに、そのDMAチャンネルへの設定を「3回」に変更する。

【0073】

また、DMAチャンネルが3つ以上の場合に、バス使用順序を可変とするようにしてもよい。たとえば、3つのDMAチャンネルからアクセス要求があった場合に、DMA1→DMA2→DMA3→DMA1→DMA2→DMA3→…とあったものを、DMA1→DMA3→DMA2→DMA1→DMA3→DMA2→…と変更する。また、バス使用順序が均等に与えられるだけでなく、たとえば、DMA1のDMA転送を多くしたい場合には、DMA1→DMA2→DMA1→DMA3→DMA1→DMA2→DMA1→DMA3…と変えることも可能である。

【0074】

これを実現する方法として、図5のサイクルスチール制御回路60に使用順序を設定するレジスタを設け、そのレジスタに設定された順序に従ってDMA転送要求を出した3つ以上のDMAチャンネルのバス使用順序を決定する。

【0075】

また、過去の各DMAチャンネルのDMA転送要求をカウントし、要求回数の多いチャンネルにはより多く順番がまわってくるような制御回路をサイクルスチール制御回路60内に設けるようにしてもよい。たとえば、最初は各DMAチャンネルに対してバス使用権が均等に与えられ、その後、あるDMAチャンネルが他のDMAチャンネルに比べてN回多くDMAアクセス要求があったときに、そのDMAチャンネルへのバス使用権を増やし、2N回多くDMAアクセス要求があったときに、そのDMAチャンネルへのバス使用権をさらに増やす。

【0076】

以上説明したように、本実施の形態におけるDMACによれば、AHBマスタからのHGRANT信号がアクティブとなったときに、各DMACチャンネルに対して順次切替えてバス権を与えるようにしたので、DMACと他のマスタとのサイクルスチールだけでなく、DMACチャンネル間のサイクルスチールを実現することが可能となった。

【0077】

また、サイクルスチール制御回路60は、各DMACチャンネルにバス権を与える順番を、ラウンドロビン方式、過去のDMA転送回数などに基づいて決定するようにしたので、DMACチャンネル間において最適なサイクルスチールを実現することが可能となった。

【0078】

また、SRAM50にDMA制御情報を格納しておき、DMACのチャンネル間におけるバス権の切替わり前に、次転送用のレジスタ群10に順次転送するようにしたので、DMA転送を高速に行なうことが可能となった。

【0079】

今回開示された実施の形態は、すべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

【図面の簡単な説明】

【0080】

【図1】本発明の実施の形態におけるDMACのバス権獲得状態の遷移を示す図である。

【図2】本発明の実施の形態におけるDMACが用いられるシステムの一例を示す図である。

【図3】本発明の実施の形態におけるDMACの概略構成を示すブロック図である。

【図4】本発明の実施の形態におけるDMACのレジスタ群の2重構造を説明するためのブロック図である。

【図5】各DMAチャネルのサイクルスチールを制御するための回路構成を示す図である。

【図6】本発明の実施の形態におけるDMACのバス権獲得を説明するためのタイミングチャートである。

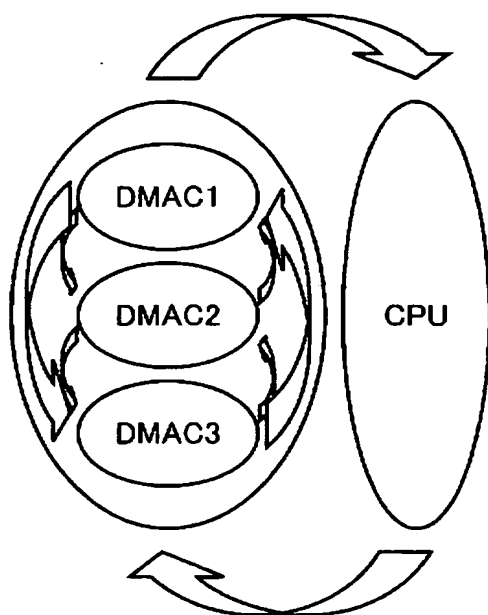
【符号の説明】

【0081】

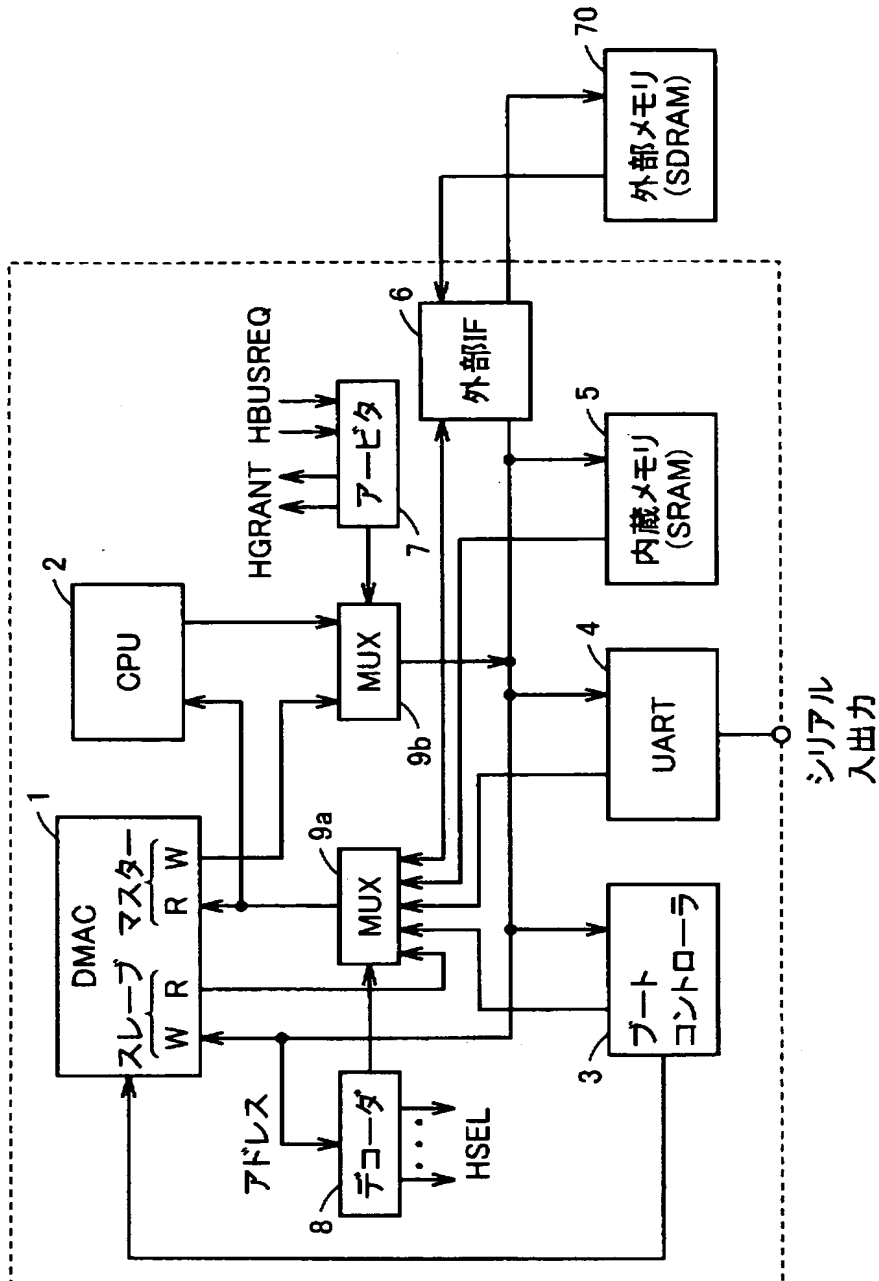
1 DMAC、2 CPU、3 ブートコントローラ、4 UART、5 内蔵メモリ、6 外部IF、7 アービタ、8 デコーダ、9a, 9b マルチプレクサ、10 次転送用のレジスタ群、11 次転送用の転送元アドレスレジスタ、12 次転送用のリロードソースアドレスレジスタ、13 次転送用のDMAセッティングレジスタ、14 次転送用の転送先アドレスレジスタ、15 次転送用のDMA転送レジスタ、16 次転送用のDMA完了レジスタ、17 DMAコントロールレジスタ、18 次転送用のDMA要因レジスタ、19 チャンネル指定レジスタ、20-1~20-n DMA転送部、21 現転送用の転送元アドレスレジスタ、22 現転送用のDMAセッティングレジスタ、23 現転送用の転送先アドレスレジスタ、24 現転送用のDMA転送レジスタ、25 現転送用のDMA完了レジスタ、26 現転送用のDMA要因レジスタ、27 DMA転送リクエスト検出部、28 DMA転送制御部、30 ブートDMA転送要求検出部、31~36, 41~46, 61, 62 マルチプレクサ、50 SRAM、60 サイクルスチール制御回路、63 OR回路、70 外部メモリ。

【書類名】 図面

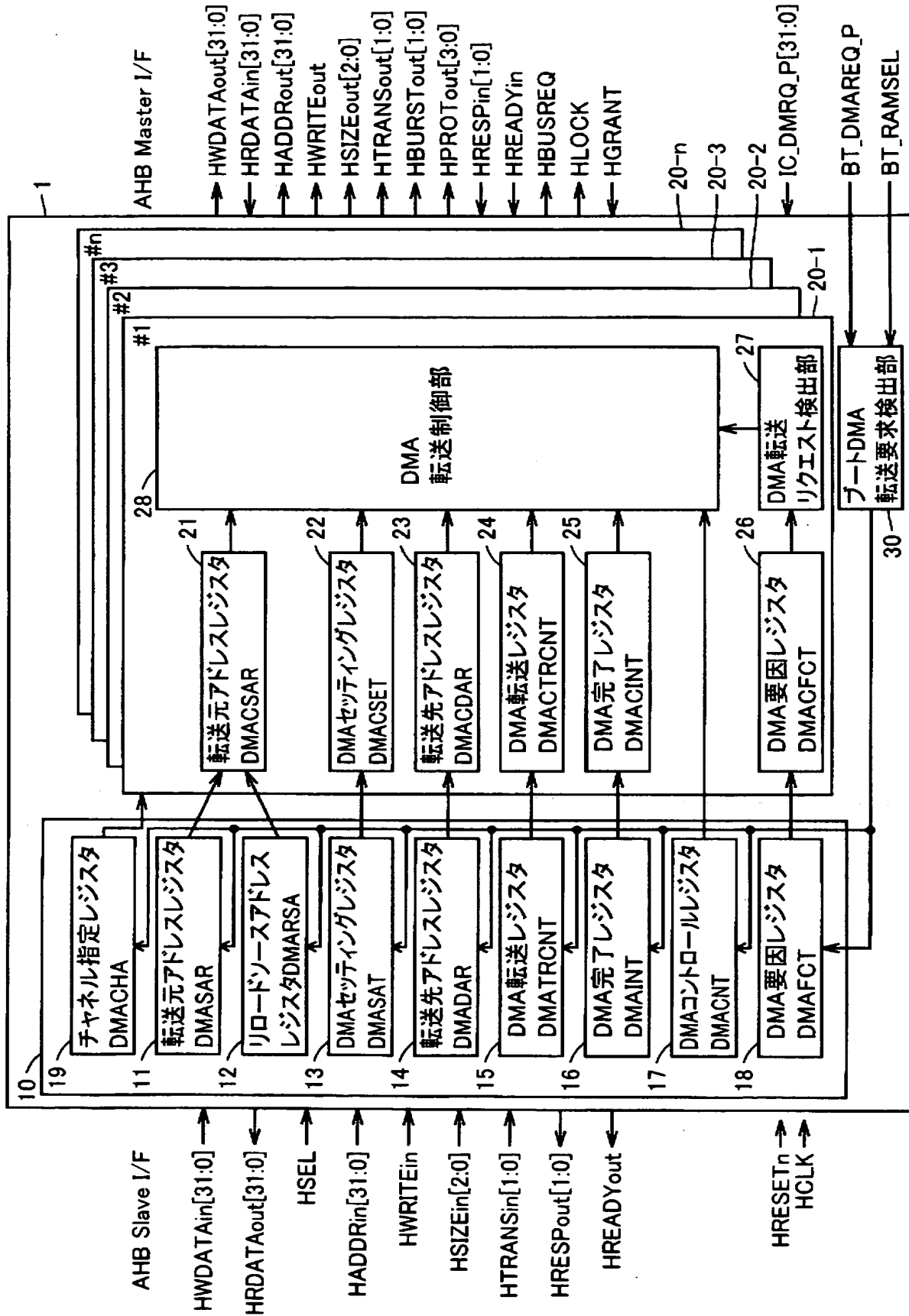
【図 1】



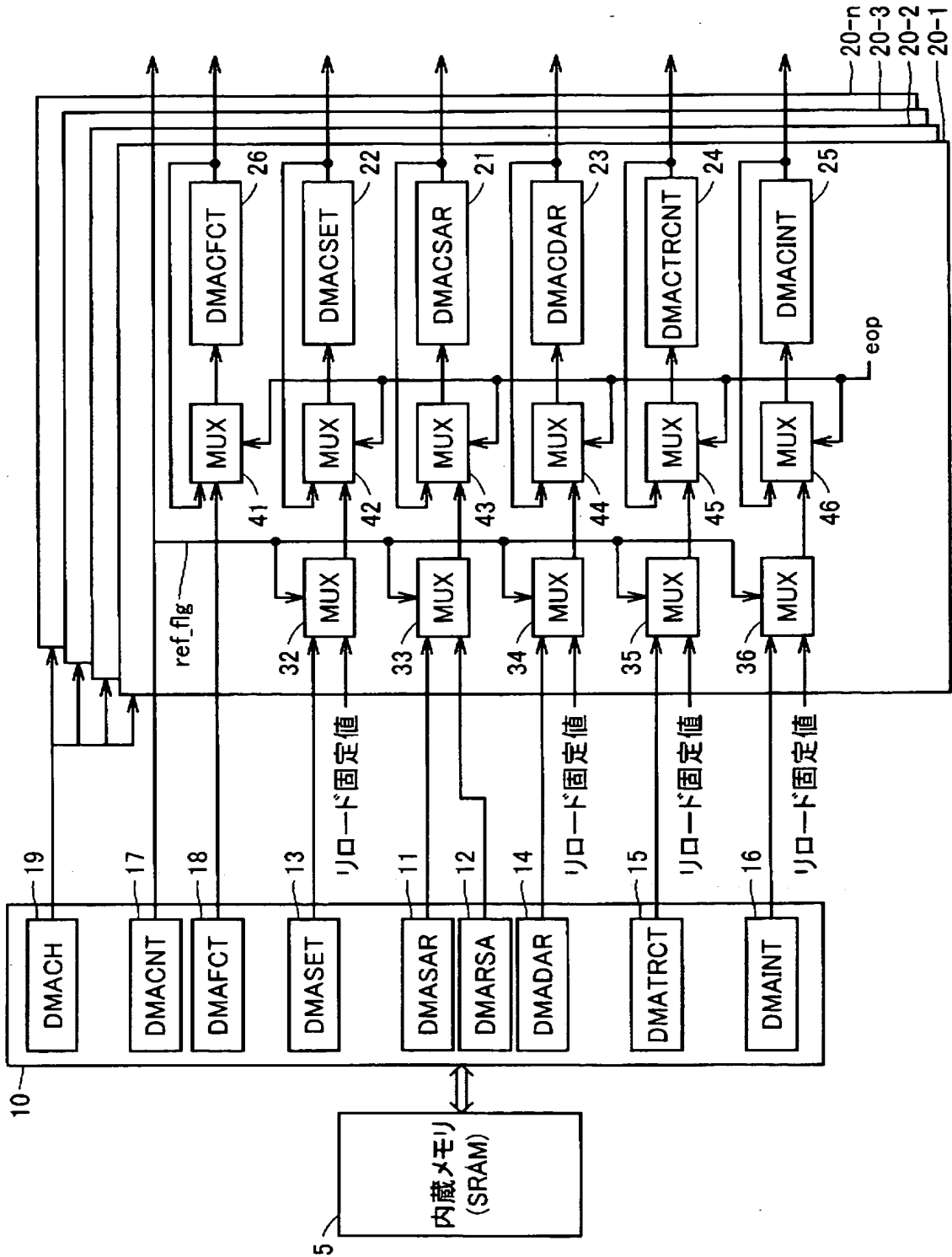
【図 2】



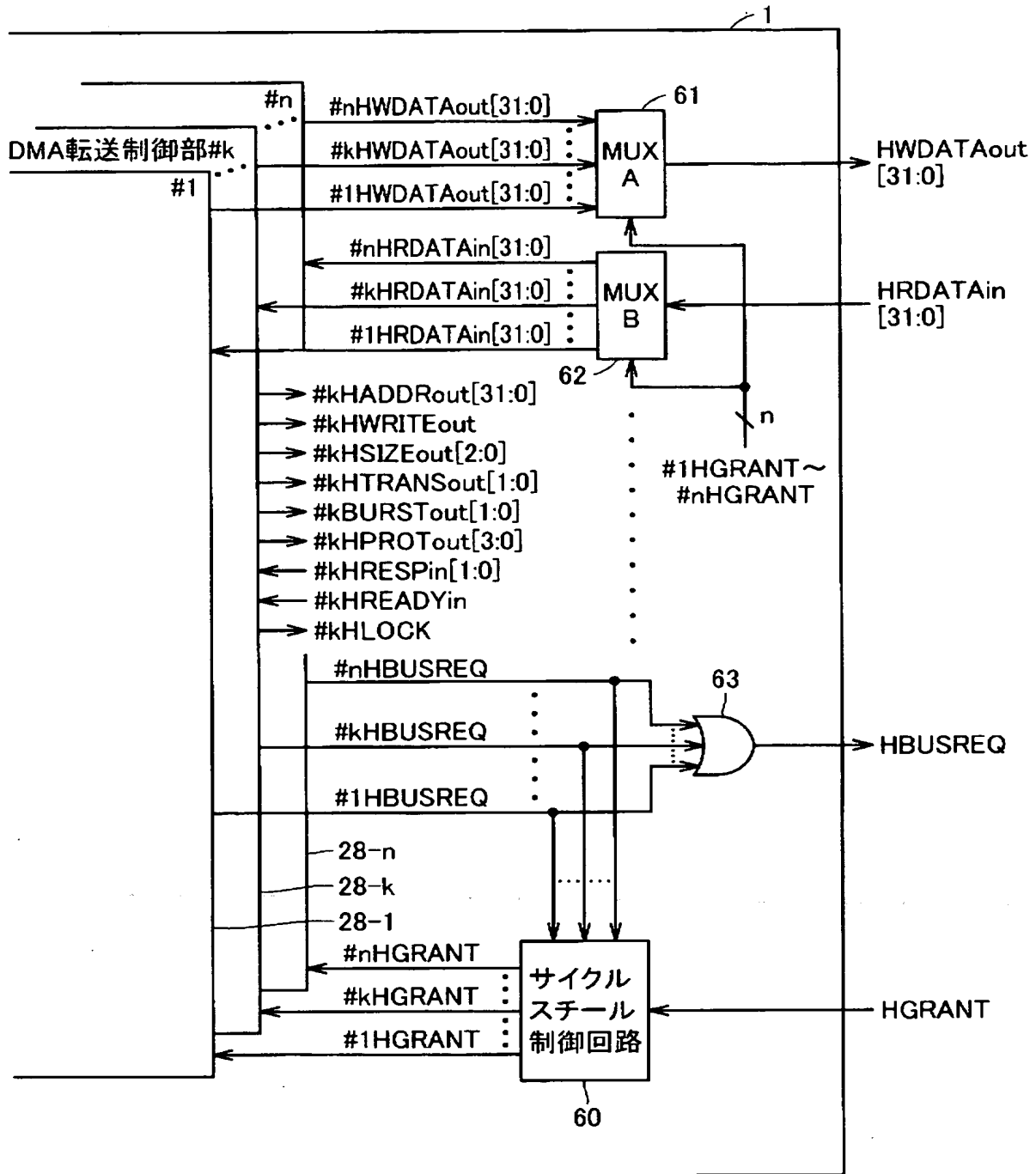
【図 3】



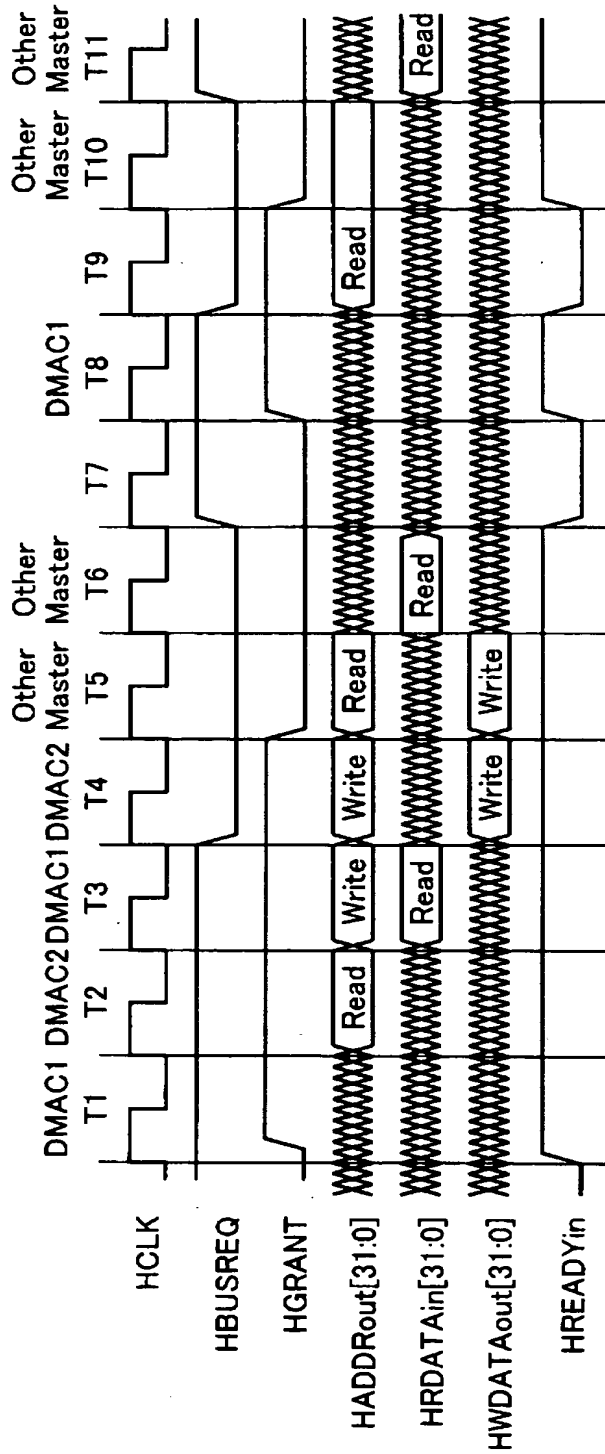
【図4】



【図 5】



【図 6】



【書類名】 要約書

【要約】

【課題】 特定のDMAチャネルがバス権を独占することを防止したDMACを提供すること。

【解決手段】 DMAC 1 には、現転送用のレジスタ群 21～26 に設定された値に応じてDMA転送を制御する複数のDMA転送部 20-1～20-n が設けられる。DMAC がバスマスタからバス権を獲得したときに、複数のDMA転送部 20-1～20-n からの転送要求に応じて、所定順序で複数のDMA転送部にバスの使用が許可される。したがって、特定のDMAチャネルがバス権を独占することを防止することが可能となる。

【選択図】 図 3

特願 2 0 0 3 - 4 0 1 3 0 1

出 願 人 履 歴 情 報

識別番号

[5 0 3 1 2 1 1 0 3]

1. 変更年月日

2 0 0 3 年 4 月 1 日

[変更理由]

新規登録

住 所

東京都千代田区丸の内二丁目 4 番 1 号

氏 名

株式会社ルネサステクノロジ